

高速 AD 版 PWM ボード仕様書

(A 判)2011/03/10 野下(初版)

(B 版)2011/11/14 野下(ADC 仕様修正 符号付 12bit → 符号付 11bit)

(C 版)2011/1/27 野下(FPGA 形式修正 正 A3P1000 誤 APA300)

適用

本仕様書は、PK10-0045 高速 AD 版 PWM ボードについての仕様をまとめる。

1. 機能ブロック図および機能概要

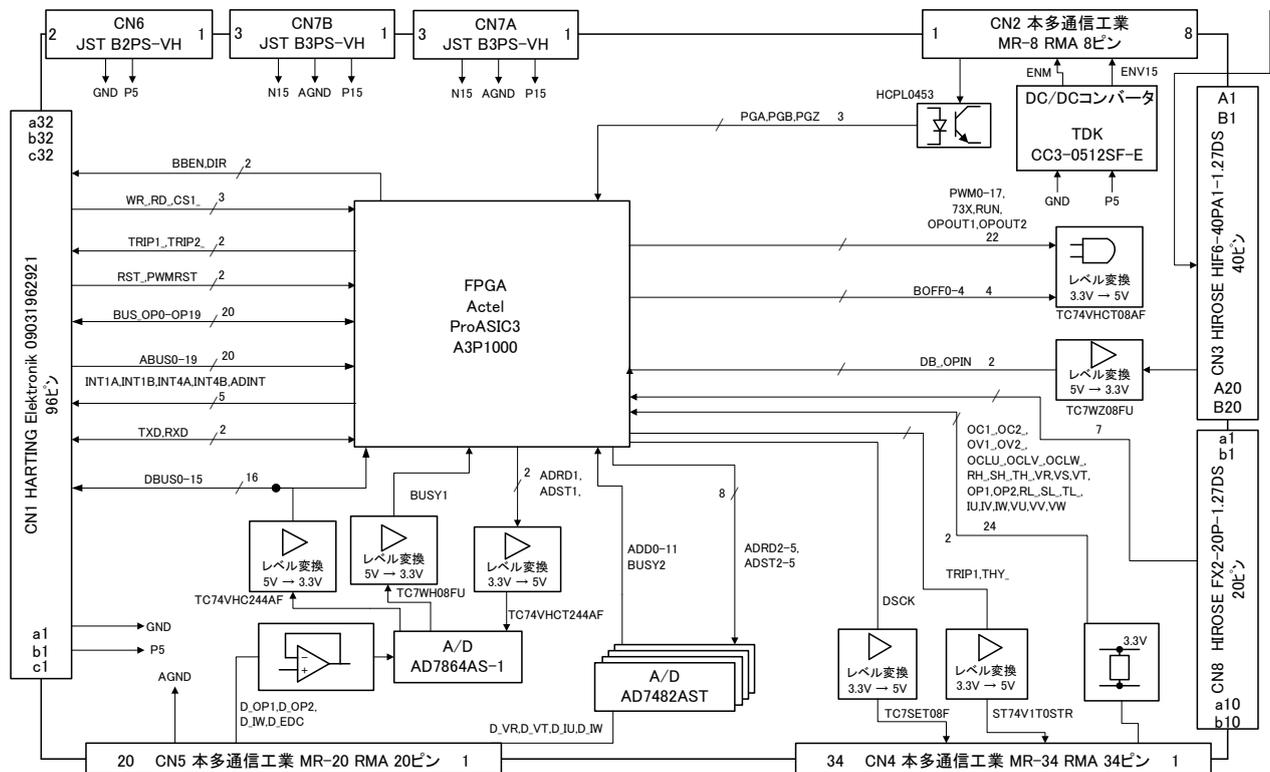


図 1 機能ブロック図

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

1/28

REV. B 版: ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 1 機能概要

機能	部品名	内容
PWM 出力	CN3	(1) PWM 信号 18 本(H アクティブ,5V)出力 (2) 初期充電抵抗用信号出力 (3) DB 用信号出力 (4) オプション出力1本 (5) オプション入力1本 (6) 5V 電源供給
A/D	CN5	(1) 検出ボードの電圧, 電流検出値を入力。出力電流(U,V,W 相), 直流中間電圧(Edc),入力電圧(R,T 相),予備 2 チャンネル検出可能 (2) アナログ入力±10V (3) 変換値は符号付 11 ビット (4) 高速(IU, IW, VR, VT)・低速(IV, EDC, OP1, OP2)AD コンバータそれぞれ 4ch。8ch すべて同時サンプリング。 (5) 変換時間 高速 AD は 1ch あたり 300ns, 4ch 同時で 600ns。低速 AD は 1ch あたり 1.65 μs, 4ch 同時変換時 6.825 μs。 (6) アナログ入力はボルテージフォロワあり
デジタル入出力	CN4	(1) 検出ボードの過電圧, 過電流信号入力。 (2) マトコン用信号(極性信号, 最大相等)入力。
電源	CN6,CN7	+5V, ±15V ※必ず両電源を投入のこと。但し, +5V は共通バスからも供給可。
PG インターフェース	CN2	(1) FRENIC-VG7 シリーズ専用モータ標準 PG インターフェース準拠。 (2) A,B,Z 相の 3 相パルス入力, 3 相パルス出力。 (3) フォトカプラによる入出力絶縁。 (4) PG の駆動電源(15V)は本基板で生成。

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C 2/28	
	DRAWN	1/29/2012		野下
	CHECK			

REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)
------	--------------------------------------

Memo:

外形寸法

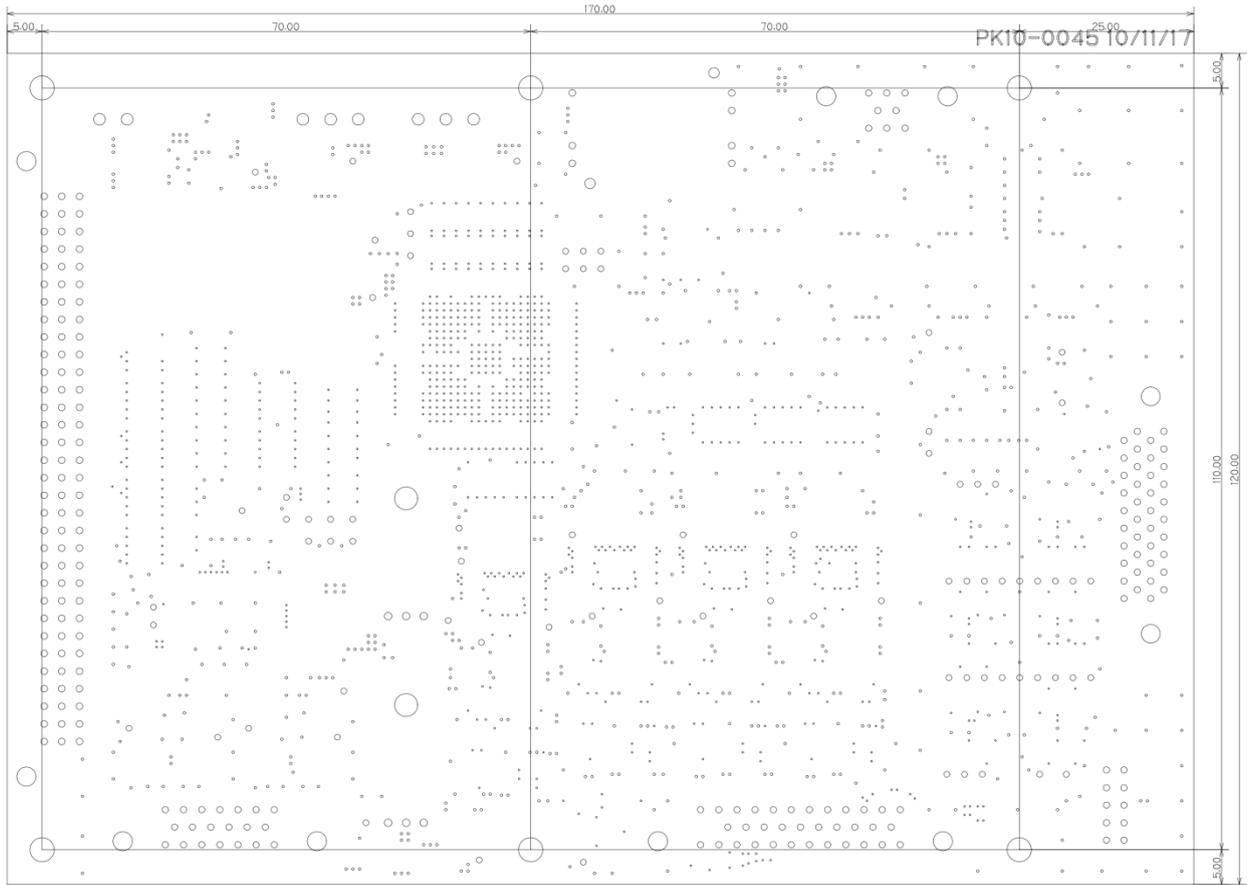


図2 外形寸法図

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

3/28

REV.

B 版: ADC 仕様を修正 (符号付 12bit → 符号付 11bit)

Memo:

2. FPGA ロジック内容

2.1 機能ブロック図

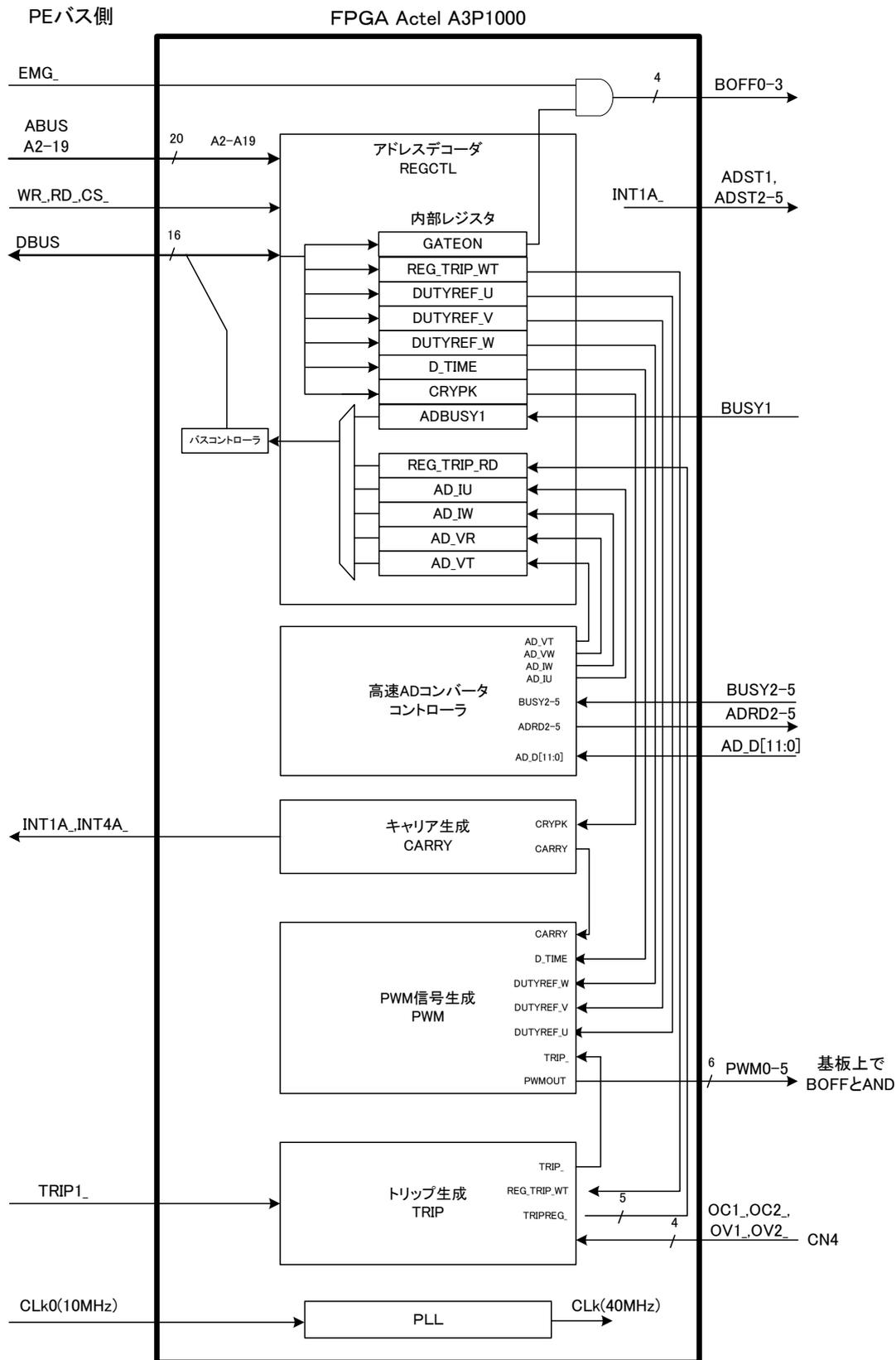


図 3 機能ブロック図

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

4/28

REV.

B 版: ADC 仕様を修正 (符号付 12bit → 符号付 11bit)

Memo:

2.2 アドレスマップ

- (1) ABUS16-19 はベースアドレスとする。PWM ボードのベースアドレスは 2 とする。
- (2) Read/Write は CPU 側が基準
- (3) アドレスは最下位を A0 としている。

アドレス	レジスタ	R/W	機能	備考
0x22000	ADBUSY1	R	低速 AD コンバータ BUSY 信号 1	AD 変換処理中は 1
0x22008		R	低速 AD 変換値リード信号 1	読み込みイネーブルで AD コンバータ 1 が AD データ出力
0x22010	AD_IU	R	高速 AD 変換値(U 相電流)	
0x22020	AD_IW	R	高速 AD 変換値(W 相電流)	
0x22030	AD_VR	R	高速 AD 変換値(R 相電圧)	
0x22040	AD_VT	R	高速 AD 変換値(T 相電圧)	
0x21000	DUTYREF_U1	W	U 相デューティ指令 1	12 ビット(0~4096)初期値 0 出力先 Up:PWM5, Un:PWM2
0x21010	DUTYREF_V1	W	V 相デューティ指令 1	12 ビット(0~4096)初期値 0 出力先 Up:PWM4, Vn:PWM1
0x21020	DUTYREF_W1	W	W 相デューティ指令 1	12 ビット(0~4096)初期値 0 出力先 Wp:PWM3, Wn:PWM0
0x21100	DUTYREF_U2	W	U 相デューティ指令 2	12 ビット(0~4096)初期値 0 出力先 Up:PWM11, Un:PWM8
0x21110	DUTYREF_V2	W	V 相デューティ指令 2	12 ビット(0~4096)初期値 0 出力先 Up:PWM10, Vn:PWM7
0x21120	DUTYREF_W2	W	W 相デューティ指令 2	12 ビット(0~4096)初期値 0 出力先 Wp:PWM9, Wn:PWM6
0x21200	DUTYREF_U3	W	U 相デューティ指令 3	12 ビット(0~4096)初期値 0 出力先 Up:PWM17, Un:PWM14
0x21210	DUTYREF_V3	W	V 相デューティ指令 3	12 ビット(0~4096)初期値 0 出力先 Up:PWM16, Vn:PWM13
0x21220	DUTYREF_W3	W	W 相デューティ指令 3	12 ビット(0~4096)初期値 0 出力先 Wp:PWM15, Wn:PWM12
0x23000	D_TIME	W	デットタイム	8 ビット(0~256)初期値 120(3 μs)
0x24000	REG_TRIP_WT	W	ソフトトリップ	1 でゲートオン,0 で遮断
0x25000	REG_TRIP_RD	R	トリップ読み込み	5 ビット。上位ビットから WDT,OV2,OV1,OC2,OC1(アクティブ H)
0x26000	GATEON	W	ゲートオン許可	1 でゲートオン,0 で遮断
0x28000	CRYPK	W	キャリアカウント値設定	12 ビット(0~4096)初期値 2000(10kHz)
0x27000	MCON	W	MC ドライバ用信号	1 で THY が Low

※ CPU に C6713 使用時には上位アドレス B00 を追加のこと(例:0xB0010000)

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	5/28	
	DRAWN	1/29/2012			野下
	CHECK				
REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)			Memo:	

2.3 詳細仕様

2.3.1 アドレスデコーダ(モジュール名 REGCTL)

1 機能

- (1) アドレスバス 20bit, ただし, A16-A19 はベースアドレス, A0,A1 は常にゼロ(64bit アクセス)
- (2) クロック 40MHz
- (3) 内部レジスタは REGCTL に持つ。
- (4) AD コンバータ用制御信号生成

Power Electronics Lab. Nagaoka University of Tech.		DATE	NAME	DWG. NO.	PZ11-0003C	6/28
	DRAWN	1/29/2012	野下			
	CHECK					
REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)			Memo:		

2 読み出し時

注意事項:CPU を基準とする

- (1) RDBUS の立下りより 3 クロック以内に, FPGA 内のレジスタの値を Dbus に出力する。よって, CPU 側の wait 時間は 100ns 以上(3 クロック+1 クロックマージン)に設定すること。
- (2) 3 クロック後データが確定していればいいので, 同期化は不要。

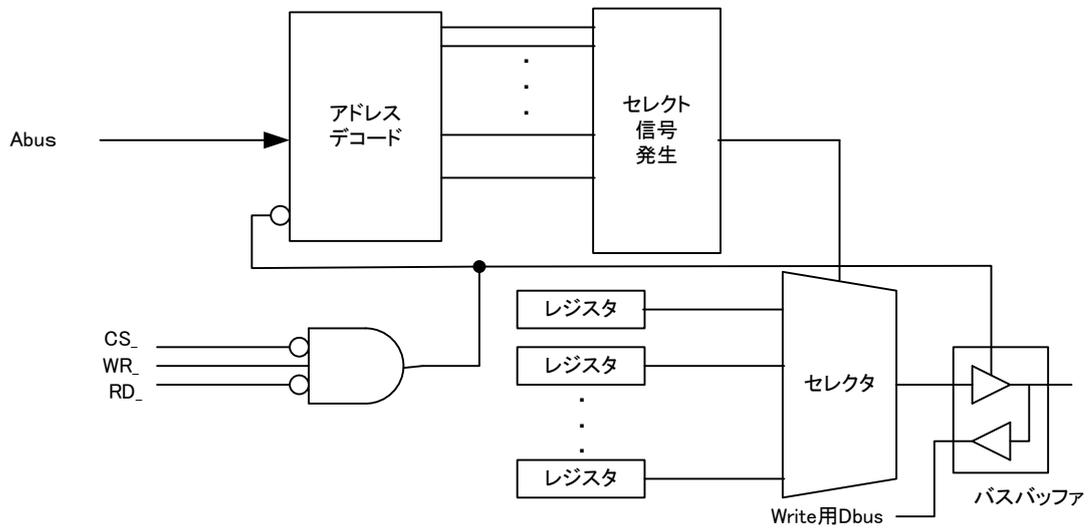


図 4 読み出し時アドレスデコーダブロック図

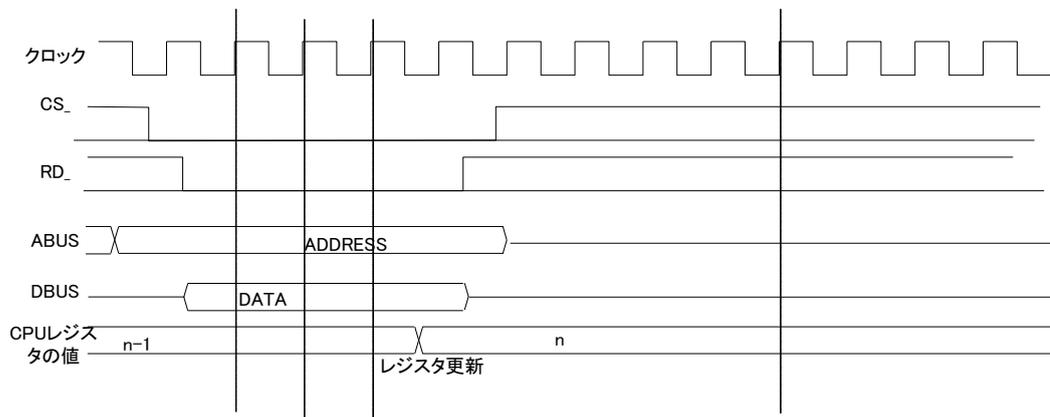


図 5 読み出し時アドレスデコードタイミング

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	7/28	
	DRAWN	1/29/2012			野下
	CHECK				

REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)
------	--------------------------------------

Memo:

3 書き込み時

注意事項:CPU を基準とする

- (1) WR_の立下りより3クロックで DBUS の内容を FPGA 内レジスタに書き込む。
したがって、CPU 側の Wait 時間は 100ns 以上(3クロック+1クロックマージン)にすること。
- (2) WR_が立ちあがったとき、ダブルクロッキング部のすべての DFF をただちに1にプリセットする。クロックとは非同期。

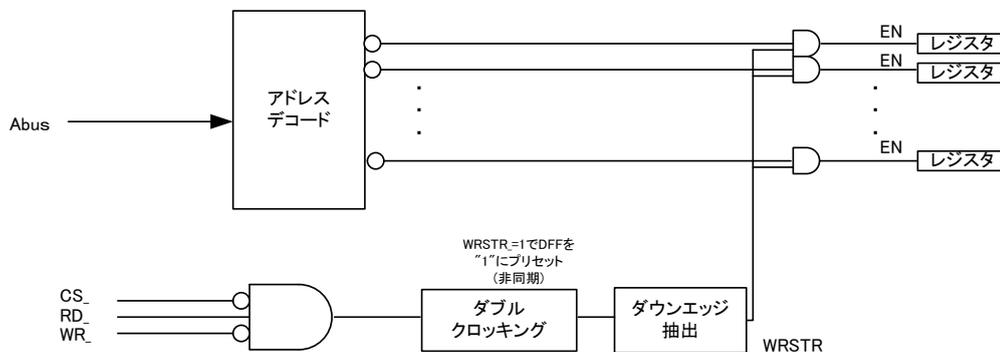


図6 書き込み時アドレスデコーダブロック図

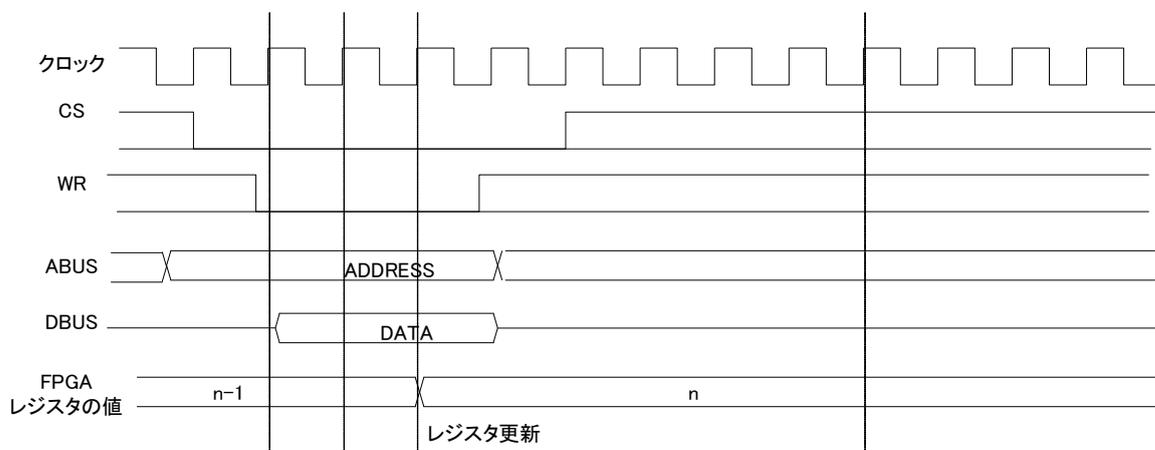


図7 書き込み時アドレスデコードタイミング

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	8/28	
	DRAWN	1/29/2012			野下
	CHECK				
REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)			Memo:	

4 レジスタフォーマット

<REG_ADBUSY1>:AD コンバータ 1BUSY 信号

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BUSY1
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

<AD_IU, IW, VR, VT>:高速 AD コンバータ変換値

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

<DUTYREF_U>:U 相デューティ指令

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	0	0	1	1	1	1	1	0	1	0	0	0

<DUTYREF_V>:V 相デューティ指令

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	0	0	1	1	1	1	1	0	1	0	0	0

<DUTYREF_W>:W 相デューティ指令

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	0	0	1	1	1	1	1	0	1	0	0	0

<D_TIME>:デットタイム時間

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	-	-	-	-	0	1	1	1	1	0	0	0

<CRYPK>:キャリアピーク

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値	-	-	-	-	0	1	1	1	1	1	0	1	0	0	0	0

<REG_TRIP_RD>:ソフトトリップ

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D0
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

9/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

<REG_TRIP_WT>:トリップ読み込み

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	TRIP1_	OV2	OV1	OC2	OC1
初期値	-	-	-	-	-	-	-	-	-	-	-	0	0	0	0	0

<GATEON>:ゲートオン許可

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
機能	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D0
初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1

2. 3. 2 キャリア生成(モジュール名:CARRY)

- (1)三角波キャリア生成
- (2)キャリアピーク値はレジスタ CRYPK で設定(0~2048)
- (3)キャリアの山で割込み信号 INT1A_,INT4A_(INT1A_の8倍周期)出力

2. 3. 3 PWM 生成(モジュール名:PWM)

- (1)PWM 信号を出力。三角波比較。
- (2)U,V,W 相指令はレジスタ DUTYREF_U, DUTYREF_V, DUTYREF_W で設定(0~2048)
- (3)デットタイムはレジスタ D_TIME で設定(0~256=0~6.4 μ s)
- (4)トリップ信号と AND してから PWM 信号出力。よって、トリップ時には PWM 指令は 0。

2. 3. 4 トリップ生成(モジュール名:TRIP)

- (1) デジタル入力 CN4の OC1_,OC2_,OV1_,OV2_,及び PE バスの TRIP1_, ソフトトリップ用レジスタ REG_TRIP_RD のいずれかがアクティブの時、トリップ信号出力
- (2) 各信号はアクティブになった時ラッチ。
- (3) OC1_,OC2_,OV1_,OV2_,REG_TRIP_RD のラッチ解除は PE バスの PWMRST_で、TRIP1_のラッチ解除は PE バスの RST_で行う。
- (4) トリップ情報はレジスタ REG_TRIP_WT に格納。上位ビットから TRIP1_,OV2,OV1,OC2,OC1。アクティブ時に 1。

2. 3. 5 高速 AD コンバータ IF

- (1) 高速 AD コンバータの変換時間は、変換開始信号(ADST2~ADST5_デフォルトではすべて INT1A_に接続)が入力されてから 300ns 必要。
- (2) 4ch すべての AD 変換結果の読み出し終了までに、300ns 必要であるため、合計 600ns 必要。したがって、最大約 1.6MHz でサンプリング可能。
- (3) レジスタはそれぞれ 3 クロックの期間を空けて代入されるため、これらのデータを FPGA 内部で同時に扱いたい場合にはラッチする必要あり。

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	10/28	
	DRAWN	1/29/2012			野下
	CHECK				

REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

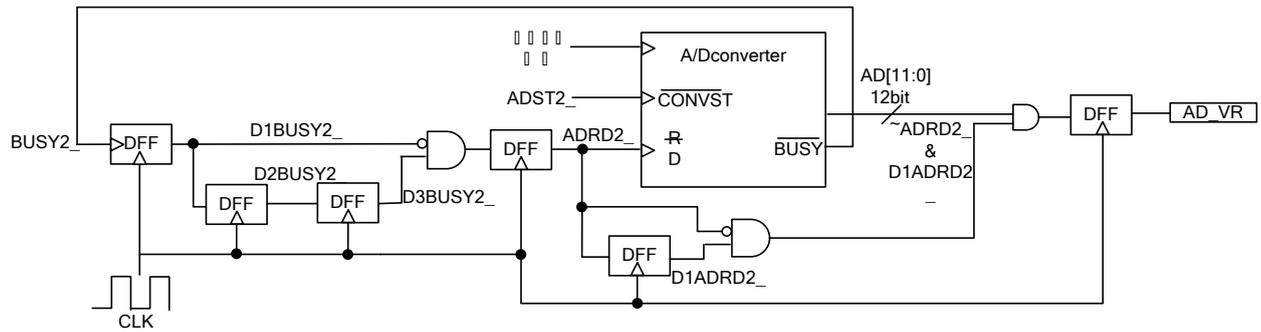


図 8 高速 AD コンバータ変換結果読み出し時ブロック図

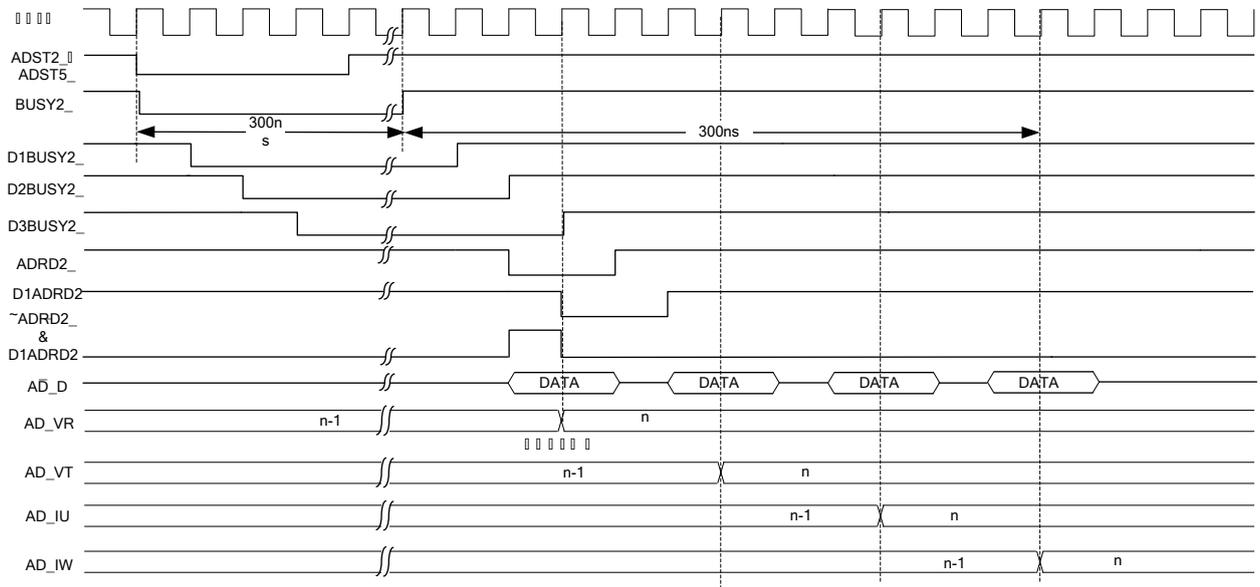


図 9 高速 AD コンバータ変換結果読み出し時タイミング

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	11/28	
	DRAWN	1/29/2012			野下
	CHECK				
REV.	B 版: ADC 仕様を修正 (符号付 12bit → 符号付 11bit)			Memo:	

3. コネクタマップ

3.1 CN1 共通バスインターフェース

(1)共通バスインターフェースに用いるコネクタ CN1 は HARTING 09031962921(ライトアングル 96 ピン)

表5 CN1 共通バスコネクタマップ

A 列	機能	B 列	機能	C 列	機能
1	D4	1	PWMRST_(NC)	1	D5
2	D3	2	RD_(NC)	2	D6
3	D2	3	TRIP2_(ACFAIL_)	3	D7
4	D1	4	+5V(NC)	4	D8
5	D0	5	GND	5	D9
6	INT1A_(INT4_)	6	+5V(NC)	6	D10
7	INT1B_(INT5_)	7	+5V(NC)	7	D11
8	INT4A_(INT6_)	8	GND(NC)	8	D12
9	GND	9	+5V(NC)	9	GND
10	INT4B_(SYSCLK)	10	+5V(NC)	10	TRIP1_(SYSFAIL_)
11	GND	11	EMG_(NC)	11	D13
12	RXD(MODE)	12	GND	12	RST_(RESTOUT_)
13	CS1_(CEXTCS_)	13	OP16(BA3)	13	D14
14	WR_(R/W_)	14	OP17(BA2)	14	D15
15	GND	15	OP18(BA1)	15	OP0(D16)
16	RDY_(Res.)	16	OP19(BA0)	16	OP1(D17)
17	GND	17	A21	17	OP2(D18)
18	BBEN_(IOCS_)	18	A20	18	OP3(D19)
19	GND	19	A19	19	OP4(D20)
20	TXD(Res.)	20	GND	20	OP5(D21)
21	ADST_(Res.)	21	A18	21	OP6(D22)
22	DIR(Res.)	22	A9	22	OP7(D23)
23	A17	23	GND	23	OP8(D24)
24	A16	24	A8	24	OP9(D25)
25	A15	25	A7	25	OP10(D26)
26	A14	26	A6	26	OP11(D27)
27	A13	27	A5	27	OP12(D28)
28	A12	28	A4	28	OP13(D29)
29	A11	29	A3	29	OP14(D30)
30	A10	30	A2	30	OP15(D31)
31	+5V(NC)	31	GND(NC)	31	+5V(NC)
32	+5V	32	+5V	32	+5V

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

12/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

(2)各信号の内容を表 6 に示す。

表 6 CN1 共通バス 各信号の内容

番号	記号	内容	備考
A9,A11,A15,A17,A19 B5,B8,B12,B20,B23,B31 C9	GND	デジタルグランド	
A31,A32 B4,B6,B7,B9,B10,B32 C31,C32	+5V	デジタル 5V	
C10,B3	TRIP1_,TRIP2_	トリップ信号	Lでトリップ
B11	EMG_	非常停止	Lで停止
B1	PWMRST_	PWM リセット信号 (トリップレジスタ解除)	Lでリセット
A12,A20	RXD,TXD	通信用	
A1-5	D0-D31	データバス 32bit	
C1-8,C11,C13-30 A23-30 B17-19,B21-22,B24-30	A2-A19	アドレスバス 18bit	
A22	DIR	双方向バスバッファ	Lで本 FPGA→外部機器
A13	CS1_	チップセレクト信号	Lでアクティブ
B2	RD_	リード信号	Lでアクティブ
C12	RST_	リセット信号	Lでリセット
A14	WR_	ライト信号	Lでアクティブ
A16	RDY_	レディ信号	Lでアクティブ
A18	BBEN_	バスバッファイネーブル	Lでアクティブ
A6,A7 A8,A10 A21	INT1A_,INT1B_ INT4A_,INT4B_ ADST_	割り込み信号	Lでアクティブ

Power Electronics Lab.
Nagaoka University of Tech.

DATE
DRAWN
CHECK

1/29/2012

NAME
野下

DWG. NO.

PZ11-0003C

13/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

3. 2 CN2 PG インターフェース

- (1)コネクタは MR-8RAM とする。
- (2)コネクタマップは表 8 の通りとする。
- (3)各信号の内容を表 9 に示す。

表 8 CN2 PG インターフェース コネクタマップ

pin#	signal
1	PGA
2	ENV15
3	ENM
4	ENV15
5	PGB
6	PGZ
7	ENM
8	ENV15

表 9 CN2 PG インターフェース 各信号の内容

Pin#	記号	I/O	内容	備考
1,5,6	PGA,PGB,PGZ	I	PG パルス信号	
2,4,8	ENV15	-	PG 用 15V 電源	
3,7	ENM	-	PG 用グラウンド	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

14/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

3.3 CN3 PWM 信号インターフェース

- (1)コネクタは HIF6-40PA-A.27DS とする。
- (2)コネクタマップは表 10 の通りとする。
- (3)各信号の内容は表 11 に示す。

表 10 CN3 PWM 信号インターフェース コネクタマップ

pin#	signal	pin#	signal
A1	GND	B1	GND
A2	P5	B2	P5
A3	P5	B3	P5
A4	OPOUT2	B4	OPOUT1
A5	RUN	B5	DB_
A6	73X	B6	OPIN
A7	PWM17	B7	PWM16
A8	GND	B8	GND
A9	P5	B9	P5
A10	PWM15	B10	PWM14
A11	PWM13	B11	PWM11
A12	PWM12	B12	PWM10
A13	PWM9	B13	PWM8
A14	P5	B14	P5
A15	GND	B15	GND
A16	PWM7	B16	PWM6
A17	PWM5	B17	PWM3
A18	PWM4	B18	PWM2
A19	PWM1	B19	PWM0
A20	GND	B20	GND

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

15/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 11 CN3 PWM 信号インターフェース 各信号の内容

Pin#	記号	I/O	内容	備考
A2,A3,A9,A14 B2,B3,B9,B14	P5	-	5V 電源	
A1,A8,A15,A20 B1,B8,B15,B20	GND	-	デジタルグランド	
A7,A10,A11,A12,A13, A16,A17,A18,A19 B7,B10,B11,B12,B13, B16,B17,B18,B19	PWM0-17	O	PWM 信号	H アクティブ (H で IGBT がオン)
A6	73X	O	初期充電回路用	H アクティブ (H で初期充電抵抗短絡)
A5	RUN	O	DB 動作許可信号	H アクティブ (H で DB 動作許可)
A4	OPOUT	O	オプション出力	
B5	DB_	I	DB 動作信号	L アクティブ (L で DB 動作(IGBT オン))
B6	OPIN	I	オプション入力	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

16/28

REV.

B 版: ADC 仕様を修正 (符号付 12bit → 符号付 11bit)

Memo:

3.4 CN4 検出ボードデジタルインターフェース

- (1)コネクタは MR-34RMA とする。
- (2)コネクタマップは表 12 の通りとする。
- (3)各信号の内容は表 13 に示す

表 12 CN4 検出ボードデジタルインターフェース コネクタマップ

pin#	signal
1	GND
2	OC1_
3	OC2_
4	OV1_
5	OV2_
6	GND
7	OCLU_
8	OCLV_
9	OCLW_
10	TRIP1_
11	GND
12	DSCK
13	RH_
14	SH_
15	TH_
16	VR
17	VS
18	VT
19	GND
20	OP2
21	THY_
22	GND
23	RL_
24	ST_
25	TL_
26	OP1
27	GND
28	IU
29	IV
30	IW
31	GND
32	VU
33	VV
34	VW

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	17/28	
	DRAWN	1/29/2012			野下
	CHECK				
REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)			Memo:	

表 13 CN4 F28DSK I/O Connector 各信号の内容

Pin#	記号	I/O	内容	備考
2,3	OC1_,OC2_	I	過電流信号	Lアクティブ (過電流でL)
4,5	OV1_,OV2_	I	過電圧信号	Lアクティブ (過電圧でL)
7,8,9	OCLU_,OCLV_,OCLW_	I	電流制限信号	Lアクティブ (制限レベルを超過時 L)
10	TRIP1_	O	トリップ信号	Lアクティブ (Lでトリップ)
12	DSCK	O	$\Delta\Sigma$ 変換用クロック	
23,24,25	RH_,SH_,TH_	I	入力電圧最大相信号	Lアクティブ (最大相時にL)
16,17,18	VR_,VS_,VT_	I	入力電圧極性信号	Hアクティブ (極性が正の場合にH)
20,26	OP1,OP2	I	予備	
21	THY_	O	初期充電スイッチ用信号	Lアクティブ (Lで初期充電抵抗短絡)
13,14,15	RL_,SL_,TL_	I	入力電圧最小相信号	Lアクティブ (最小相のときL)
28,29,30	IU,IV,IW	I	出力電流極性信号	Hアクティブ
32,33,34	VU,VV,VW	I	$\Delta\Sigma$ 変換用検出信号	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

18/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

3.5 CN5 検出ボードアナログインターフェース

- (1)コネクタは MR-20 RAM とする。
- (2)コネクタマップは表 13 の通りとする
- (3)各信号の内容は表 14 に示す。

表 13 CN5 検出ボードアナログインターフェース コネクタマップ

pin#	signal
1	AGND
2	D_IU
3	D_IV
4	D_IW
5	AGND
6	D_EDC
7	NC
8	NC
9	AGND
10	NC
11	AGND
12	NC
13	AGND
14	D_VR
15	NC
16	D_VT
17	AGND
18	D_OP1
19	AGND
20	D_OP2

表 14 CN5 検出ボードアナログインターフェース 信号内容

Pin#	記号	I/O	内容	備考
2,3,4	D_IU,D_IV,D_IW	I	出力電流検出値(U,V,W 相)	
6	D_EDC	I	直流中間電圧検出値	
14,16	D_VR,D_VT	I	入力電圧検出値(R,T 相)	
18,20	D_OP1,D_OP2	I	予備	

Power Electronics Lab. Nagaoka University of Tech.	DATE	NAME	DWG. NO. PZ11-0003C	19/28	
	DRAWN	1/29/2012			野下
	CHECK				
REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)			Memo:	

表 15 AD コンバータ割付表

AD コンバータ	チャンネル	信号名	内容
1(低速)	CH1	D_VS	S 相電圧
	CH2	D_EDC	直流電圧
	CH3	D_OP1	オプション
	CH4	D_OP2	オプション
2-5(高速)	CH1	D_IU	U 相電流
	CH2	D_IW	W 相電流
	CH3	D_VR	R 相電圧
	CH4	D_VT	T 相電圧

3.6 電源入力

3.6.1 CN6 5V 電源

- (1)コネクタは B2PS-VH とする。
- (2)コネクタマップは表 15 の通りとする

表 15 CN6 5V 電源 コネクタマップ

pin#	signal
1	P5
2	GND

3.6.2 CN7 ±15V 電源

- (1)コネクタは B3PS-VH とする。
- (2)コネクタマップは表 16,表 17 の通りとする

表 16 CN7A 15V 電源 コネクタマップ

pin#	signal
1	P15
2	AGND
3	N15

表 17 CN7B 15V 電源 コネクタマップ

pin#	signal
1	P15
2	AGND
3	N15

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C 20/28

REV. B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

3.7 FPGA フラッシュライターインターフェース

3.7.1 CN8

- (1)ライターは FlashPro3 又は 4 を使用, コネクタは 103310-1 (Tyco Electronics)とする。
- (2)コネクタマップは表 18 の通りとする

表 18 CN8 FPGA フラッシュライター コネクタマップ

ピン番号	機能
1	TCK
2	GND
3	TDO
4	NC
5	TMS
6	VJTAG
7	VPUMP
8	TRST
9	TDI
10	GND

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.	PZ11-0003C	21/28
----------	------------	-------

REV.	B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)	Memo:
------	--------------------------------------	-------

4. 付録

4.1 FPGA ピン配置

表1 FPGA ピン配置_1

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
A1	GND	GND	M	
A2	TP01	テストピン	TP01	
A3	OP00	PE バス拡張	OP00	
A4	OP03	PE バス拡張	OP03	
A5	OP06	PE バス拡張	OP06	
A6	OP10	PE バス拡張	OP10	
A7	OP14	PE バス拡張	OP14	
A8	OP19	PE バス拡張	OP19	
A9	73X		73X	O
A10	OPIN		OPIN	I
A11	TP06	テストピン	TP06	
A12	TP02	テストピン	TP02	
A13	LED2	LED2	LED2	O
A14	BOFF3	ベースオフ	BOFF3	O
A15	BOFF1	ベースオフ	BOFF1	O
A16	GND	GND	M	
B1	A20	PE バスアドレス	A20	I
B2	A21	PE バスアドレス	A21	I
B3	GND	GND	M	
B4	OP02	PE バス拡張	OP02	
B5	OP05	PE バス拡張	OP05	
B6	OP09	PE バス拡張	OP09	
B7	OP13	PE バス拡張	OP13	
B8	OP18	PE バス拡張	OP18	
B9	RUN		RUN	O
B10	PGZ	PGZ	PGZ	I
B11	TP05	テストピン	TP05	
B12	LED4	LED4	LED4	O
B13	LED1	LED1	LED1	O
B14	BOFF2	ベースオフ	BOFF2	O
B15	TP07	テストピン	TP07	
B16	PWM17	PWM 出力	PWM17	O
C1	A18	PE バスアドレス	A18	I
C2	A19	PE バスアドレス	A19	I
C3	VDDP	I/O 電源	P3.3	
C4	OP01	PE バス拡張	OP01	
C5	OP04	PE バス拡張	OP04	
C6	OP08	PE バス拡張	OP08	
C7	OP12	PE バス拡張	OP12	
C8	OP17	PE バス拡張	OP17	
C9	OPOUT2		OPOUT2	O
C10	PGB	PGB	PGB	I

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

22/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 2 FPGA ピン配置_2

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
C11	TP04	テストピン	TP04	
C12	LED3	LED3	LED3	O
C13	BOFF4	ベースオフ	BOFF4	O
C14	VDDP	I/O 電源	P3.3	
C15	PWM16	PWM 出力	PWM16	O
C16	PWM15	PWM 出力	PWM15	O
D1	A14	PE バスアドレス	A14	I
D2	A15	PE バスアドレス	A15	I
D3	A16	PE バスアドレス	A16	I
D4	A17	PE バスアドレス	A17	I
D5	GND	GND	M	
D6	OP07	PE バス拡張	OP07	
D7	OP11	PE バス拡張	OP11	
D8	OP16	PE バス拡張	OP16	
D9	OPOUT1		OPOUT1	O
D10	PGA	PGA	PGA	I
D11	TP03	テストピン	TP03	
D12	GND	GND	M	
D13	PWM14	PWM 出力	PWM14	O
D14	PWM13	PWM 出力	PWM13	O
D15	PWM12	PWM 出力	PWM12	O
D16	PWM11	PWM 出力	PWM11	O
E1	A10	PE バスアドレス	A10	I
E2	A11	PE バスアドレス	A11	I
E3	A12	PE バスアドレス	A12	I
E4	A13	PE バスアドレス	A13	I
E5	VDDP	I/O 電源	P3.3	
E6	VDDP	I/O 電源	P3.3	
E7	VDDP	I/O 電源	P3.3	
E8	OP15	PE バス拡張	OP15	
E9	DB_		DB_	I
E10	VDDP	I/O 電源	P3.3	
E11	VDDP	I/O 電源	P3.3	
E12	VDDP	I/O 電源	P3.3	
E13	PWM10	PWM 出力	PWM10	O
E14	PWM9	PWM 出力	PWM9	O
E15	PWM8	PWM 出力	PWM8	O
E16	PWM7	PWM 出力	PWM7	O
F1	A6	PE バスアドレス	A6	I
F2	A7	PE バスアドレス	A7	I
F3	A8	PE バスアドレス	A8	I
F4	A9	PE バスアドレス	A9	I

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

23/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 3 FPGA ピン配置_3

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
F5	VDDP	I/O 電源	P3.3	
F6	GND	GND	M	
F7	VDD	コア電源	P1.5	
F8	VDD	コア電源	P1.5	
F9	VDD	コア電源	P1.5	
F10	VDD	コア電源	P1.5	
F11	GND	GND	M	
F12	VDDP	I/O 電源	P3.3	
F13	PWM6	PWM 出力	PWM6	O
F14	PWM5	PWM 出力	PWM5	O
F15	PWM4	PWM 出力	PWM4	O
F16	PWM3	PWM 出力	PWM3	O
G1	A2	PE バスアドレス	A2	I
G2	A3	PE バスアドレス	A3	I
G3	A4	PE バスアドレス	A4	I
G4	A5	PE バスアドレス	A5	I
G5	VDDP	I/O 電源	P3.3	
G6	VDD	コア電源	P1.5	
G7	GND	GND	M	
G8	GND	GND	M	
G9	GND	GND	M	
G10	GND	GND	M	
G11	VDD	コア電源	P1.5	
G12	VDDP	I/O 電源	P3.3	
G13	PWM2	PWM 出力	PWM2	O
G14	PWM1	PWM 出力	PWM1	O
G15	PWM0	PWM 出力	PWM0	O
G16	THY_		THY_	O
H1	CLK20M	コアクロック	SG-636PCG-20MHz	I
H2	TP16	テストピン	TP16	
H3	BUSY1	AD 変換中フラグ1	BUSY1	I
H4		PLL 電源	M	
H5	BUSY2_	AD 変換中フラグ2	BUSY2_	I
H6	VDD	コア電源	P1.5	
H7	GND	GND	M	
H8	GND	GND	M	
H9	GND	GND	M	
H10	GND	GND	M	
H11	VDD	コア電源	P1.5	
H12	DSCK		DSCK	O
H13	VW		VW	I
H14	VV		VV	I

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

24/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 4 FPGA ピン配置_4

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
H15	VU		VU	I
H16	RST_	リセット	RST_	I
J1	D15	PE バスデータ	D15	I/O
J2	D14	PE バスデータ	D14	I/O
J3		PLL 電源	P1.5	
J4	D13	PE バスデータ	D13	I/O
J5	D12	PE バスデータ	D12	I/O
J6	VDD	コア電源	P1.5	
J7	GND	GND	M	
J8	GND	GND	M	
J9	GND	GND	M	
J10	GND	GND	M	
J11	VDD	コア電源	P1.5	
J12	TH_		TH_	I
J13	OP1_		OP1_	I
J14	IU		IU	I
J15	IV		IV	I
J16	IW		IW	I
K1	D11	PE バスデータ	D11	I/O
K2	D10	PE バスデータ	D10	I/O
K3	D9	PE バスデータ	D9	I/O
K4	D8	PE バスデータ	D8	I/O
K5	VDDP	I/O 電源	P3.3	
K6	VDD	コア電源	P1.5	
K7	GND	GND	M	
K8	GND	GND	M	
K9	GND	GND	M	
K10	GND	GND	M	
K11	VDD	コア電源	P1.5	
K12	VDDP	I/O 電源	P3.3	
K13	VT		VT	I
K14	OP2		OP2	
K15	RH_		RH_	I
K16	SH_		SH_	I
L1	D7	PE バスデータ	D7	I/O
L2	D6	PE バスデータ	D6	I/O
L3	D5	PE バスデータ	D5	I/O
L4	D4	PE バスデータ	D4	I/O
L5	VDDP	I/O 電源	P3.3	
L6	GND	GND	M	
L7	VDD	コア電源	P1.5	
L8	VDD	コア電源	P1.5	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

25/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 5 FPGA ピン配置_5

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
L9	VDD	コア電源	P1.5	
L10	VDD	コア電源	P1.5	
L11	GND	GND	M	
L12	VDDP	I/O 電源	P3.3	
L13	SL_		SL_	I
L14	TL_		TL_	I
L15	VR		VR	I
L16	VS		VS	I
M1	D3	PE バスデータ	D3	I/O
M2	D2	PE バスデータ	D2	I/O
M3	D1	PE バスデータ	D1	I/O
M4	D0	PE バスデータ	D0	I/O
M5	VDDP	I/O 電源	P3.3	
M6	VDDP	I/O 電源	P3.3	
M7	VDDP	I/O 電源	P3.3	
M8	TP17	テストピン	TP17	
M9	ADRD3_	AD 変換読み込み3	ADRD3_	O
M10	VDDP	I/O 電源	P3.3	
M11	VDDP	I/O 電源	P3.3	
M12	VDDP	I/O 電源	P3.3	
M13	OCLU_		OCLU_	I
M14	OCLV_		OCLV_	I
M15	OCLW_		OCLW_	I
M16	RL_		RL_	I
N1	TP08	テストピン	TP08	
N2	TP09	テストピン	TP09	
N3	TP10	テストピン	TP10	
N4	TP11	テストピン	TP11	
N5	GND	GND	M	
N6	TXD		TXD	I
N7	EMG_		EMG_	I
N8	ADST5_	AD 変換開始5	ADST5_	O
N9	ADST2_	AD 変換開始2	ADST2_	O
N10	AD_D2	AD 変換データバス	AD_D2	I
N11	AD_D6	AD 変換データバス	AD_D6	I
N12	GND	GND	M	
N13	OC2_		OC2_	I
N14	VJTAG	JTAG 電源	P3.3	
N15	OV1_		OV1_	I
N16	OV2_		OV2_	I
P1	TP12	テストピン	TP12	
P2	TP13	テストピン	TP13	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

26/28

REV.

B 版:ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表 6 FPGA ピン配置_6

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
P3	GND	I/O 電源	P3.3	
P4	RDY		RDY	I
P5	INT4A_		INT4A_	O
P6	ADST_		ADST_	O
P7	TRIP2_		TRIP2_	I
P8	ADRD5_	AD 変換読み込み5	ADRD5_	O
P9	ADRD2_	AD 変換読み込み2	ADRD2_	O
P10	AD_D1	AD 変換データバス	AD_D1	I
P11	AD_D5	AD 変換データバス	AD_D5	I
P12	GND	I/O 電源	P3.3	
P13	TCK	テストクロック	TCK	
P14	VPUMP	プログラミング電源	VPUMP	
P15	TRST	バウンダリスキャンリセット	TRST	
P16	OC1_		OC1_	I
R1	TP14	テストピン	TP14	
R2	TP15	テストピン	TP15	
R3	WR_		WR_	I
R4	INT1A_		INT1A_	O
R5	INT4B_		INT4B_	O
R6	DIR		DIR_	I
R7	TRIP1_		TRIP1_	I
R8	ADST4_	AD 変換開始4	ADST4_	O
R9	ADST1_	AD 変換開始1	ADST1_	O
R10	AD_D0	AD 変換データバス	AD_D0	I
R11	AD_D4	AD 変換データバス	AD_D4	I
R12	AD_D8	AD 変換データバス	AD_D8	I
R13	AD_D10	AD 変換データバス	AD_D10	I
R14	TDI	テストデータイン	TDI	
R15	GND	GND	M	
R16	TDO	テストデータアウト	TDO	
T1	GND	GND	M	
T2	RD_		RD_	I
T3	CS_		CS_	I
T4	INT1B_		INT1B_	O
T5	RXD		RXD	I
T6	BBEN_		BBEN_	I
T7	PWMRST_	PWM リセット	PWMRST_	I
T8	ADRD4_	AD 変換読み込み4	ADRD4_	O
T9	ADRD1_	AD 変換読み込み1	ADRD1_	O
T10	ADST3_	AD 変換開始3	ADST3_	O
T11	AD_D3	AD 変換データバス	AD_D3	I
T12	AD_D7	AD 変換データバス	AD_D7	I

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

27/28

REV.

B 版: ADC 仕様を修正(符号付 12bit → 符号付 11bit)

Memo:

表7 FPGAピン配置_7

パッケージピン番号	ピン名称	ピン機能	ラベル名(接続先)	信号方向
T13	AD_D9	AD変換データバス	AD_D9	I
T14	AD_D11	AD変換データバス	AD_D11	I
T15	TMS	テストモードセレクト	TMS	
T16	GND	GND	M	

Power Electronics Lab.
Nagaoka University of Tech.

	DATE	NAME
DRAWN	1/29/2012	野下
CHECK		

DWG. NO.

PZ11-0003C

28/28

REV.

B版:ADC仕様を修正(符号付12bit → 符号付11bit)

Memo: